

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-165482

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H02M 3/07
H03K 5/15

(21)Application number : 04-234387

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1992

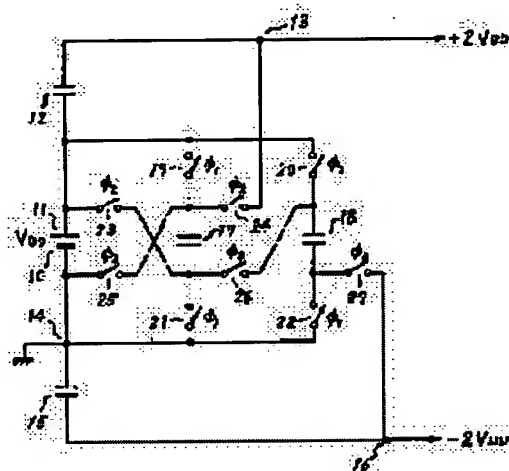
(72)Inventor : TAMAGAWA AKIO

(54) VOLTAGE CONVERSION CIRCUIT AND POLYPHASE CLOCK GENERATION CIRCUIT USED THEREFOR

(57)Abstract:

PURPOSE: To obtain a charge pump type power circuit, in which output voltage is fluctuated in a small quantity to overload, while acquiring a polyphase clock generating circuit, in which the number of elements is decreased and dissipation currents are reduced and which is used for driving a charge pump.

CONSTITUTION: A plurality of transfer capacitances 17, 18 are charged at power-supply voltage VDD at first timing ϕ_1 , and connected between a power terminal 11 and a positive-electrode output terminal 13 at second timing ϕ_2 , and positive-electrode output voltage at twice as much as power-supply voltage is generated. The transfer capacitances are connected between a grounding terminal 14 and a negative-electrode output terminal 16 at third timing ϕ_3 , and negative-electrode output voltage at twice as much as power-supply voltage is generated. Since positive and negative outputs are generated independently, one output is not subject to an effect even when overload is connected to one side.



LEGAL STATUS

[Date of request for examination] 02.09.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2104979

[Date of registration] 06.11.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平8-28965

(24) (44) 公告日 平成 8 年(1996) 3 月21日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 M 3/07

請求項の数 8 (全 22 頁)

(21) 出願番号 特願平4-234387

(22) 出願日 平成 4 年(1992) 9 月 2 日

(65) 公開番号 特開平6-165482

(43) 公開日 平成 6 年(1994) 6 月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 玉川 秋雄

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

審査官 小池 正彦

(56) 参考文献 特開 昭52-75255 (J P, A)

特開 昭61-172432 (J P, A)

特開 平 4-91656 (J P, A)

特開 平 4-67770 (J P, A)

特開 昭57-122668 (J P, A)

実開 昭51-140413 (J P, U)

実開 昭58-112088 (J P, U)

特公 昭57-50147 (J P, B 2)

(54) 【発明の名称】 電圧変換回路

1

【特許請求の範囲】

【請求項 1】 複数個の容量素子を第 1 のタイミングでそれぞれ電源電圧に充電する手段と、前記複数個の容量素子のうち所定の第 1 の個数の容量素子を第 2 のタイミングで直列接続して電源電圧の複数倍の正電圧を発生させる手段と、前記複数個の容量素子のうち所定の第 2 の個数の容量素子を第 3 のタイミングで直列接続して電源電圧の複数倍の負電圧を発生させる手段とを有する電圧変換回路。

【請求項 2】 直列接続された複数個の容量素子を第 1 のタイミングで電源電圧に充電する手段と、前記複数個の容量素子のうち所定の第 1 の個数の容量素子を第 2 のタイミングで並列接続して電源電圧の複数分の 1 の正電圧を発生させる手段と、前記複数個の容量素子のうち所定の第 2 の個数の容量素子を第 3 のタイミングで並列接

2

続して電源電圧の複数分の 1 の負電圧を発生させる手段とを有する電圧変換回路。

【請求項 3】 反転及び非反転出力端を有し、所定の遅延時間を有する CMOS レベルシフト回路からなる 2 相クロック信号発生回路と、前記クロック信号のバースを複数毎に 1 個選択することにより、前記クロック信号の周波数の前記複数分の 1 の周波数を有し互に位相の異なる前記複数の出力信号を出力する手段とを有する多層クロック発生回路により前記第 1、第 2、第 3 のタイミングを得ることを特徴とする請求項 1 または 2 記載の電圧変換回路。

【請求項 4】 反転及び非反転出力端を有し、所定の遅延時間を有する CMOS レベルシフト回路からなる 2 相クロック信号発生回路と、前記クロック信号のうち 1 個のクロック信号を入力され、反転及び非反転出力信号を

出力する2分の1分周回路と、前記反転及び非反転出力信号のそれぞれと前記1個のクロック信号との論理積を出力する2個のゲート回路とを有する3相クロック発生回路により前記第1、第2、第3のタイミングを得ることを特徴とする請求項1または2記載の電圧変換回路。

【請求項5】 前記充電する手段は、前記複数個の容量素子がそれぞれスイッチ素子に直列接続された複数個の直列回路が、電源に並列接続された回路であり、前記正電圧を発生させる手段は、前記所定の第1の個数の容量素子がスイッチ素子を介して直列に接続された直列回路の高電位側の端子が正電圧出力端子に接続された回路であり、前記負電圧を発生させる手段は、前記所定の第2の個数の容量素子がスイッチ素子を介して直列に接続された直列回路の低電位側の端子が負電圧出力端子に接続された回路であることを特徴とする請求項1記載の電圧変換回路。

【請求項6】 前記充電する手段は、前記複数個の容量素子がスイッチ素子を介して直列に接続された直列回路が、電源に接続された回路であり、前記正電圧を発生させる手段は、前記所定の第1の個数の容量素子がそれぞれスイッチ素子に直列接続された複数個の直列回路が並列に接続されてなる並列回路の高電位側の端子が、正電圧出力端子に接続された回路であり、前記負電圧を発生させる手段は、前記所定の第2の個数の容量素子がそれぞれスイッチ素子に直列接続された複数個の直列回路が並列に接続されてなる並列回路の低電位側の端子が、負電圧出力端子に接続された回路であることを特徴とする請求項2記載の電圧変換回路。

【請求項7】 前記スイッチ素子はCMOSトランジスタにより構成され、前記トランジスタのゲートに印加される3相クロック信号によって前記第1、第2及び第3のタイミングが与えられていることを特徴とする請求項5または請求項6記載の電圧変換回路。

【請求項8】 反転及び非反転出力端を有し、所定の遅延時間を有するCMOSレベルシフト回路からなる2相クロック信号発生回路と、前記クロック信号のうち1個のクロック信号を入力され、反転及び非反転出力信号を出力する2分の1分周回路と、前記反転及び非反転出力信号のそれぞれと前記1個のクロック信号との論理積を出力する2個のゲート回路とを有する3相クロック発生回路の出力信号である3相クロック信号が前記トランジスタのゲートに印加されていることを特徴とする請求項7記載の電圧変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電圧変換回路及びそれに用いる多相クロック発生回路に関し、特に単一供給電源から大きさの異なる正または負の電圧を発生させるチャージポンプ型の電圧変換回路及びチャージポンプ駆動用の多相クロック発生回路に関する。

【0002】

【従来の技術】 従来の電圧変換回路及びそれに用いる多相クロック発生回路について、それぞれ図面を参照して説明する。なお、電圧変換回路は昇圧回路と降圧回路とに分類してそれぞれ説明する。

【0003】 1. 電圧変換回路

(1) 昇圧回路

従来から、昇圧回路は単一の供給電源から、供給電源電圧より大きな、正または負の出力電圧を得るために用いられており、例えばRS-232Cドライバ/レシーバ用ICの電源回路部等に用いられている。従来の昇圧回路については、米国特許第4,777,577号、第4,897,774号、第4,999,761号、第4,807,104号、第4,812,961号の各公報に記載されている。これらの従来の昇圧回路はいずれも2相クロックで動作し、スイッチとキャパシタとからなるスイッチトキャパシタ回路方式による構成になっている。

【0004】 以下、図面を参照しながら、この従来の昇圧回路について説明する。

【0005】 図13及び14はそれぞれ従来の昇圧回路の回路図、及び従来の昇圧回路の動作を示す模式図であり、図14(a)、(b)はそれぞれタイミングφ₁、φ₂においてスイッチが作動した後の各回路素子の接続状態を示している。

【0006】 図13に示す従来の昇圧回路は、昇圧部217と反転部218とから構成される。

【0007】 昇圧部217においては、負極端が接地端子209に接続された供給電源200の正極端201が充電用スイッチ203の一端及び昇圧用スイッチ206の一端に接続され、充電用スイッチ203の他端は転送容量202の一端及び昇圧用スイッチ205の一端に、昇圧用スイッチ206の他端は転送容量202の他端及び充電用スイッチ204の一端にそれぞれ接続され、昇圧用スイッチ205の他端は正極蓄積容量207の一端及び正極出力端子208に、充電用スイッチ204の他端は正極蓄積容量207の他端及び接地端子209にそれぞれ接続されている。

【0008】 反転部218においては、一端が正極出力端子208に接続された充電用スイッチ211の他端が反転用容量210の一端、及び他端が接地端子209に接続された反転用スイッチ213の一端に接続され、反転用容量210の他端が、他端が接地端子209に接続された充電用スイッチ212の一端及び反転用スイッチ214の一端に接続され、反転用スイッチ214の他端が、他端が接地端子209に接続された負極蓄積容量215の一端及び負極出力端子216に接続されている。

【0009】 次に動作について説明する。

【0010】 まず、昇圧部217では、昇圧用スイッチ205、206がオフとなっている状態で、タイミング

ϕ_1 において、充電用スイッチ203、204がオンとなり、図14(a)に示すように転送容量202は供給電源200の出力電圧 V_{DD} に充電される。そして充電用スイッチ203、204がオフとなった後タイミング ϕ_2 において、昇圧用スイッチ205、206がオンとなって、図14(b)に示すように転送容量202は供給電源200と直列に接続され、これにより、正極蓄積容量207が電圧 $2V_{DD}$ に充電されるとともに正極出力端子208は電圧 $2V_{DD}$ を出力する。

【0011】一方、反転部218では、反転用スイッチ213、214がオフとなった後、タイミング ϕ_1 において、充電用スイッチ211、212がオンとなり、図14(a)に示すように反転用容量210は正極出力端子208と接地端子209との間に接続されて電圧 $2V_{DD}$ に充電される。そして充電用スイッチ211、212がオフとなった後タイミング ϕ_2 において、反転用スイッチ213、214がオンとなって、図14(b)に示すように反転用容量210により負極蓄積容量215が電圧 $-2V_{DD}$ に充電されるとともに負極出力端子216は電圧 $-2V_{DD}$ を出力する。

【0012】また、図13には供給電源電圧の2倍の大きさの正及び負の電圧を得るための従来の昇圧回路を示したが、例えば図13において、転送容量202と並列に多数の他の転送容量を接続し、タイミング ϕ_1 においてそれぞれ電圧 V_{DD} に充電し、タイミング ϕ_2 において供給電源200及び転送容量202と直列に接続することにより、正極出力端子208に電圧を供給する手段を設ければ、従来の昇圧回路において、供給電源電圧の整数倍の大きさの正及び負の電圧を発生させることができる。なお、米国特許第4,807,104号公報には、供給電源電圧の6倍の出力電圧を生じる、スイッチトキャパシタ回路方式による昇圧回路が記載されている。

【0013】(2) 降圧回路

従来から、降圧回路は単一の供給電源から、大きさが供給電源電圧より小さな出力電圧を取り出すために用いられている。このような降圧回路をプリント基板上に形成する場合は、通常三端子レギュレータや、コイルを用いたスイッチングレギュレータが使用されるが、三端子レギュレータはバイポーラプロセスで製造され、また出力段のトランジスタでの損失が大きいという特徴を持ち、スイッチングレギュレータは、三端子レギュレータに較べれば損失は少ないが、コイルを使用しており装置が大型化してしまうという問題があった。

【0014】そこで、CMOS集積回路上に降圧回路を形成する場合は、従来、CMOS集積回路とその製造工程上の整合性が良く、かつ損失も少ないという特徴を持つ、スイッチトキャパシタ型降圧回路が用いられていた。従来のスイッチトキャパシタ型降圧回路は、例えば「電気通信学会論文誌 83/8 V o 1. J 6 6 - C No. 8 P. P. 576-583」に記載さ

れている。

【0015】以下、この従来の降圧回路について図面を参照しながら説明する。

【0016】図15、及び16はそれぞれ従来の降圧回路の回路図、及び従来の降圧回路の動作を示す模式図であり、図16(a)、(b)はそれぞれタイミング ϕ_1 、 ϕ_2 においてスイッチが作動した後の各回路素子の接続状態を示している。

【0017】図15に示す従来の降圧回路においては、負極端が接地端子229に接続された供給電源220の正極端221が充電用スイッチ224の一端に接続され、充電用スイッチ224の他端は転送容量222の一端及び降圧用スイッチ227の一端に接続され、転送容量222の他端は、他端が接地端子229に接続された降圧用スイッチ226の一端及び充電用スイッチ225の一端に、降圧用スイッチ227の他端は、充電用スイッチ225の他端、及び他端が接地点229に接続された蓄積容量223の一端、さらに出力端子228に、それぞれ接続されている。

20 【0018】次に動作について説明する。

【0019】降圧用スイッチ226、227がオフとなった後タイミング ϕ_1 において、充電用スイッチ224、225がオンとなり、図16(a)に示すように、転送容量222及び蓄積容量223は、それぞれ電圧 $V_{DD}/2$ に充電されるとともに、出力端子228は電圧 $V_{DD}/2$ を出力とする。ただし、転送容量222及び蓄積容量223の容量値は互いに等しいものとしてある。

30 【0020】このとき、出力端子228に接続される負荷によって、転送容量222及び蓄積容量223のそれぞれの蓄積電荷量はわずかに変動し得るが、充電用スイッチ224、225がオフとなった後タイミング ϕ_2 において、降圧用スイッチ226、227がオンとなって、図14(b)に示すように転送容量222と蓄積容量223とは、出力端子228と接地端子229との間に並列接続されるので、電荷が等しく配分されて、出力端子228の出力は電圧 $V_{DD}/2$ に保たれる。

【0021】2. 多相クロック発生回路

従来から、多相クロック発生回路は、スイッチトキャパシタ型の昇圧回路、降圧回路等の、スイッチ素子を含む回路とともに用いられ、スイッチ素子にタイミングクロック信号を供給してオフ状態とオン状態との切り換えを行う機能を持っている。この場合において、互いに異なる位相で開閉を行うスイッチが切換時に同時にオンになってしまうことがないように、異なる位相ごとに重ならない独立したタイミングクロック信号を用いなければならない。例えば、図13に示す従来の昇圧回路においては、タイミング ϕ_1 においてオフからオンへ切り換わる充電用スイッチ203、204、211、212に供給されるタイミングクロック信号と、タイミング ϕ_2 においてオフからオンへ切り換わる昇圧用スイッチ20

5, 206及び反転用スイッチ213, 214に供給されるタイミングクロック信号とは、互いに重ならない独立したタイミングクロック信号でなければならず、そのため図13に示す従来の昇圧回路は、スイッチ素子の切り換えのために2相クロック発生回路を必要とする。一般に、3相以上の異なる位相でスイッチ素子を制御する必要がある場合も多く、従来から3相以上の多相クロック発生回路も用いられている。

【0022】図17及び18は、それぞれ従来の3相クロック発生回路の回路図、及び従来の3相クロック発生回路の動作を示すタイミングチャートである。

【0023】図17に示す従来の3相クロック発生回路は、2相クロック発生回路230及び231から構成される。

【0024】2相クロック発生回路230においては、D型フリップフロップ回路241のクロック入力端C₁が、2入力AND回路239の一方の入力端、2入力AND回路240の一方の入力端、及びクロック入力端子243に接続され、出力端Q₁が2入力AND回路239の他方の入力端に接続され、反転出力端Q₁バーが、データ信号入力端D₁及び2入力AND回路240の他方の入力端に接続されている。そして、2入力AND回路239の出力端は出力端子235に接続されている。

【0025】2相クロック発生回路231においては、D型フリップフロップ回路242のクロック入力端C₂が、2入力AND回路233の一方の入力端、2入力AND回路234の一方の入力端、及び2相クロック発生回路230内の2入力AND回路240の出力端に接続されている。また、D型フリップフロップ回路242の出力端Q₂が2入力AND回路233の他方の入力端に接続され、反転出力端Q₂バーがデータ信号入力端D₂及び2入力AND回路234の他方の入力端に接続されている。そして、2入力AND回路233の出力端は、出力端子236に接続され、2入力AND回路234の出力端は、出力端子237に接続されている。

【0026】なお、D型フリップフロップ回路241は反転出力端Q₁バーとデータ信号入力端D₁とが接続されることによって、2分の1分周回路238を形成し、またD型フリップフロップ回路242は反転出力端Q₂バーとデータ信号入力端D₂とが接続されることによって、2分の1分周回路232を形成している。

【0027】次に動作について説明する。

【0028】図18は、図17に示す従来の3相クロック発生回路において、クロック入力端子243に入力される入力クロック信号CLKと、2入力AND回路239, 240の出力信号C₁, C₂と、出力端子235, 236, 237の出力信号φ₁, φ₂, φ₃、及びD型フリップフロップ回路242の出力端Q₂、反転出力端Q₂バーの出力信号Q₂, Q₂バーのそれぞれの時間変化を示すタイミングチャートである。

【0029】入力クロック信号CLKは2分の1分周回路238により分周され、出力端Q₁及び反転出力端Q₁バーからは互いに逆位相で入力クロック信号CLKのパルスが入力される毎に反転する出力信号Q₁, Q₁バーがそれぞれ出力される。これらの出力信号Q₁, Q₁バーをそれぞれ2入力AND回路239, 240に入力して、入力クロック信号CLKとの論理積をとることにより、図18に示す出力信号C₁, C₂が得られる。

【0030】出力信号C₁は出力端子235へ送られて出力信号φ₁となり、出力信号C₂は、2分の1分周回路232により分周され、図18に示す出力信号Q₂, Q₂バーを生じる。そして、2入力AND回路233, 234によりこれらの出力信号Q₂, Q₂バーと出力信号C₂との論理積をそれぞれとることにより、図18に示す出力信号φ₂, φ₃が得られる。

【0031】以上、3相クロック発生回路について説明したが、4相以上の多相クロック発生回路も同様にして構成することができる。即ち、2相クロック発生回路を複数段接続し、前段の2つの出力信号のうち一方を、各段の分周回路へ入力クロック信号として入力し、この分周回路の2つの出力のそれぞれと、この入力クロック信号との論理積を、2つの出力信号として出力することにより、重ならない多相クロック信号を発生させることができる。

【0032】

【発明が解決しようとする課題】1. 電圧変換回路

従来の昇圧回路においては、例えば図13に示したように、まず昇圧部217で電源電圧の2倍の電圧を発生させて、正極出力端子208から出力するとともに、反転部218で極性を反転させた同じ大きさの電圧を発生させて、負極出力端子216から出力している。従って、例えば正極出力端子208に過負荷が接続されて正極出力電圧が低下した場合、正極蓄積容量207及び反転容量210の電圧が低下して負極出力電圧の絶対値まで小さくなり、負極出力端子216に接続されている他の回路においてまで、安定な動作が維持できなくなる。また、正極出力電圧の変動が負極出力電圧の変動を引き起こすため、この昇圧回路を電源回路として用いる場合、出力電圧の変動量は2倍になり、この電源回路を含む装置全体の信頼度を著しく低下させることになるという問題があった。

【0033】さらに、この従来の昇圧回路では、大きさが供給電源電圧の整数倍であって、絶対値が等しい正及び負の電圧、つまり±2V_{DD}、または±3V_{DD}、等の電圧しか発生することができない。しかし、CCDドライバICのバイアス電圧発生回路のように、異なる大きさのバイアス電圧、例えば+3V_{DD}及び-2V_{DD}のような電圧が必要とされることもあり、この場合、従来の昇圧回路は用いることができなかった。

【0034】また、従来の降圧回路においては、図15

に示したように、まず容量値の等しい2つの容量である転送容量222と蓄積容量223とを供給電源220の正極端221と接地端子229との間に直接に接続して、それぞれ電源電圧の2分の1の電圧に充電し、転送容量222と蓄積容量223との接続点を出力端子228へ接続して、出力電圧を電源電圧の2分の1の電圧として出力し、次に転送容量222と蓄積容量223とを接地端子229と出力端子228との間に並列に接続して、出力電圧を電源電圧の2分の1の電圧に保つようになっているため、出力電圧として、絶対値が電源電圧の2分の1の大きさで、極性が異なるような電圧は、得られなかった。

【0035】そこで、例えば、出力端子228に電圧を反転して極性の異なる電圧を発生するような反転回路を付加し、これによって、正負両極性の出力電圧が得られるようにする方法もあるが、その場合、出力端子228の出力電圧が、外部負荷の影響で変動したとき、出力端子228に接続した反転回路の出力電圧まで変動することになり、反転回路に接続される外部回路において誤動作を引き起こす恐れがある。また、この反転回路を付加した場合の降圧回路を電源回路として用いるときは、正極の出力電圧の変動がそのまま負極の出力電圧の変動となり、電源回路としての出力の変動量は2倍の大きさとなり、信頼度が著しく低下するという問題があった。

【0036】2. 多相クロック発生回路

従来の多相クロック発生回路は、一つの入力クロック信号から、一組の重なりのない2相クロックを発生させる為に、フリップフロップによる2分の1分周回路を一つ必要とする。即ち、N相クロックを発生するためには、フリップフロップによる2分の1分周回路を少なくともN

個必要とし、素子数が多くなるので、集積化に際し、大きな面積を占有してしまうという問題があった。

【0037】また、フリップフロップによる分周によって多相クロックを発生するため、最初に多相クロック発生回路に入力するクロック信号は、十分周波数の高いものでなければならない。例えば、図17に示す従来の3相クロック発生回路では、図18に示すタイミングチャートからわかるように、出力信号 ϕ_1 、 ϕ_2 、 ϕ_3 から成る3相クロックとしての周波数に比べ、最初に入力する入力クロック信号CLKの周波数は4倍となっている。従って多相クロック発生回路内において、電源から接地点へ向けて多量の貫通電流が流れて、消費電力が大きなものになるという欠点があった。

【0038】

【課題を解決するための手段】本発明によれば、複数の容量素子を第1のタイミングでそれぞれ電源電圧に充電する手段と、前記複数の容量素子のうち所定の第1の個数の容量素子を第2のタイミングで直列接続して電源電圧の複数倍の正電圧を発生させる手段と、前記複数の容量素子のうち所定の第2の個数の容量素子を第3

のタイミングで直列接続して電源電圧の複数倍の負電圧を発生させる手段とを有する電圧変換回路、及び、直列接続された複数の容量素子を第1のタイミングで電源電圧に充電する手段と、前記複数の容量素子のうち所定の第1の個数の容量素子を第2のタイミングで並列接続して電源電圧の複数分の1の正電圧を発生させる手段と、前記複数の容量素子のうち所定の第2の個数の容量素子を第3のタイミングで並列接続して電源電圧の複数分の1の負電圧を発生させる手段とを有する電圧変換回路、及び反転及び非反転出力端を有し、所定の遅延時間を有するCMOSレベルシフト回路からなる2相クロック信号発生回路と、前記クロック信号のパルスを複数個毎に1個選択することにより、前記クロック信号の周波数の前記複数分の1の周波数を有し互いに位相の異なる前記複数の出力信号を出力する手段とを有する多相クロック発生回路を得る。

【0039】

【実施例】本発明の電圧変換回路及びそれに用いる多相クロック発生回路について、それぞれ図面を参照して説明する。なお、電圧変換回路は昇圧回路と降圧回路とに分類してそれぞれ説明する。

【0040】1. 電圧変換回路

(1) 昇圧回路

図1、及び2はそれぞれ本発明の第1の実施例である昇圧回路の回路図、及び動作を説明するための模式図であり、図2(a)、(b)、(c)、(d)はそれぞれタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_1 、 ϕ_3 によってスイッチが作動したときの各回路素子の接続状態を示している。

【0041】図1に示す昇圧回路においては、負極端が接地端子14に接続された供給電源10の正極端11が、正極用蓄積容量12、充電用スイッチ19、20、及び正極昇圧用スイッチ23のそれぞれ的一端に接続され、正極用蓄積容量12の他端は、正極出力端子13及び正極昇圧用スイッチ24の一端にそれぞれ接続され、充電用スイッチ19の他端は、正極昇圧用スイッチ24の他端、転送容量17の一端、及び他端が接地端子14に接続された負極昇圧用スイッチ25の一端にそれぞれ接続されている。そして充電用スイッチ20の他端は、転送容量18の一端及び負極昇圧用スイッチ26の一端にそれぞれ接続され、正極昇圧用スイッチ23の他端は、転送容量17の他端、負極昇圧用スイッチ26の他端、及び他端が接地端子14に接続された充電用スイッチ21の一端にそれぞれ接続されている。また、転送容量18の他端は、負極昇圧用スイッチ27の一端、及び他端が接地端子14に接続された充電用スイッチ22の一端に接続され、負極昇圧用スイッチ27の他端は、負極出力端子16、及び他端が接地端子14に接続された負極用蓄積容量15の一端に接続されている。

【0042】さらに、充電用スイッチ19、20、21、22及び正極昇圧用スイッチ23、24及び負極昇

11

圧用スイッチ25, 26, 27はそれぞれ、3相クロック発生回路(図示せず)のタイミング信号 ϕ_1 、及び ϕ_2 及び ϕ_3 の供給端子に接続されている。

【0043】次に動作について説明する。

【0044】本実施例の昇圧回路においては、充電用スイッチ19, 20, 21, 22及び正極昇圧用スイッチ23, 24及び負極昇圧用スイッチ25, 26, 27はそれぞれ、タイミング信号 ϕ_1 及び ϕ_2 及び ϕ_3 がハイレベルである期間にオンとなり、かつタイミング信号 ϕ_1 , ϕ_2 , ϕ_3 は時間的に重なり合うことなく、 ϕ_1 , ϕ_2 , ϕ_1 , ϕ_3 の順序でハイレベルとなり、これを1サイクルとして以下同じ動作を繰り返す。

【0045】図2(a), (b), (c), (d)はそれぞれタイミング信号 ϕ_1 , ϕ_2 , ϕ_1 , ϕ_3 によってスイッチが動作したときの各回路素子の接続状態を示している。

【0046】まず、図2(a)に示すように、正極昇圧用スイッチ23, 24及び負極昇圧用スイッチ25, 26, 27がオフとなっている状態で、タイミング信号 ϕ_1 によって充電用スイッチ19, 20, 21, 22がオンとなり、転送容量17, 18はそれぞれ供給電源10の正極端11と接地端子14との間に接続されて、供給電源電圧 V_{DD} に充電される。

【0047】そして、図2(b)に示すように、充電用スイッチ19, 20, 21, 22がオフとなった後、タイミング信号 ϕ_2 によって正極昇圧用スイッチ23, 24がオンとなり、転送容量17が供給電源10の正極端11と正極出力端子13との間に接続されて、正極出力端子13は出力電圧 $2V_{DD}$ を出力するとともに、正極用蓄積容量12は電圧 V_{DD} に充電される。

【0048】次に、図2(c)に示すように、正極昇圧用スイッチ23, 24がオフとなった後、再びタイミング信号 ϕ_1 によって充電用スイッチ19, 20, 21, 22がオンとなり、転送容量17, 18はそれぞれ昇圧 V_{DD} に充電される。

【0049】このとき、正極蓄積容量12及び供給電源10が接地端子14と正極出力端子13との間に直列接続されているので、正極出力端子13は電圧 $2V_{DD}$ を出力する。

【0050】そして、図2(d)に示すように、充電用スイッチ19, 20, 21, 22がオフとなった後、タイミング信号 ϕ_3 によって負極昇圧用スイッチ25, 26, 27がオンとなり、転送容量17, 18が接地端子14と負極出力端子16との間に直列接続されて、負極出力端子16は出力電圧 $-2V_{DD}$ を出力するとともに、負極用蓄積容量15は電圧 $-2V_{DD}$ に充電される。

【0051】このときも、正極出力端子13は、供給電源10及び正極用蓄積容量12によって、出力電圧 $2V_{DD}$ を出力しているが、図2(a), (c)及び(d)に示す接続状態においては、正極出力端子13に接続され

12

る外部負荷によって、正極用蓄積容量12の電圧が変化し、従って出力電圧が変動する場合があります。

【0052】しかし、正極用蓄積容量12の電圧が変化したとしても、図2(a), (b)に示すように、次のサイクルのタイミング信号 ϕ_1 によって再び電線電圧 V_{DD} に充電された転送容量17が、タイミング信号 ϕ_2 によって正極用蓄積容量12を電圧 V_{DD} に充電して正極出力端子13の出力電圧を電圧 $2V_{DD}$ に回復する。そしてこの間、正極出力端子13の出力電圧の変動が、負極出力端子16の出力電圧の変動を引き起こすことはない。

【0053】同様に、図2(a), (b), (c)に示す回路の接続状態において、負極出力端子16の出力電圧が変動したとしても、図2(d)に示すように、電源電圧 V_{DD} に充電された転送容量17, 18によって再び出力電圧は電圧 $-2V_{DD}$ となり、この間、負極出力端子16の出力電圧の変動が、正極出力端子13の出力電圧の変動を引き起こすことはない。

【0054】図3、及び4はそれぞれ本発明の第2の実施例である昇圧回路の回路図、及び回路の動作を示す模式図である。

【0055】図3に示す昇圧回路においては、負極端が接地端子34に接続された供給電源30の正極端31が、正極用蓄積容量32、充電用スイッチ39, 40、及び正極昇圧用スイッチ43のそれぞれ的一端に接続され、正極用蓄積容量32の他端は、正極出力端子33及び正極昇圧用スイッチ45の一端にそれぞれ接続され、充電用スイッチ39の他端は、正極昇圧用スイッチ44の一端、転送容量37の一端、及び他端が接地端子34に接続された負極昇圧用スイッチ46の一端にそれぞれ接続されている。そして充電用スイッチ40の他端は、転送容量38の一端、負極昇圧用スイッチ47の一端及び正極昇圧用スイッチ45の他端にそれぞれ接続され、正極昇圧用スイッチ43の他端は、転送容量37の他端、負極昇圧用スイッチ47の他端、及び他端が接地端子34に接続された充電用スイッチ41の一端にそれぞれ接続されている。また、転送容量38の他端は、正極昇圧用スイッチ44の他端、負極昇圧用スイッチ48の一端、及び他端が接地端子34に接続された充電用スイッチ42の一端に接続され、負極昇圧用スイッチ48の他端は、負極出力端子36、及び他端が接地端子34に接続された負極用蓄積容量35の一端に接続されている。

【0056】さらに、充電用スイッチ39, 40, 41, 42及び正極昇圧用スイッチ43, 44, 45及び負極昇圧用スイッチ46, 47, 48はそれぞれ、3相クロック発生回路(図示せず)のタイミング信号 ϕ_1 及び ϕ_2 及び ϕ_3 の供給端子に接続されている。

【0057】次に動作について説明する。

【0058】本実施例の昇圧回路においては、充電用スイッチ39, 40, 41, 42及び正極昇圧用スイッチ

43, 44, 45及び負極昇圧用スイッチ46, 47, 48はそれぞれ、タイミング信号 ϕ_1 及び ϕ_2 及び ϕ_3 がハイレベルである期間にオンとなり、かつタイミング信号 ϕ_1 , ϕ_2 , ϕ_3 は時間的に重なり合うことなく、 ϕ_1 , ϕ_2 , ϕ_1 , ϕ_3 の順序でハイレベルとなり、これを1サイクルとして以下同じ動作を繰り返す。

【0059】図4(a), (b), (c), (d)はそれぞれタイミング信号 ϕ_1 , ϕ_2 , ϕ_1 , ϕ_3 によってスイッチが動作したときに各回路素子の接続状態を示している。

【0060】まず、図4(a)に示すように、正極昇圧用スイッチ43, 44, 45及び負極昇圧用スイッチ46, 47, 48がオフとなっている状態で、タイミング信号 ϕ_1 によって充電用スイッチ39, 40, 41, 42がオンとなり、転送容量37, 38はそれぞれ供給電源30の正極端31と接地端子34との間に接続されて、供給電源電圧 V_{DD} に充電される。

【0061】そして、図4(b)に示すように、充電用スイッチ39, 40, 41, 42がオフとなった後、タイミング信号 ϕ_2 によって正極昇圧用スイッチ43, 44, 45がオンとなり、転送容量37, 38が供給電源30の正極端31と正極出力端子33との間に直列に接続されて、正極出力端子33は出力電圧 $3V_{DD}$ を出力するとともに、正極蓄積容量32は電圧 $2V_{DD}$ に充電される。

【0062】次に、図4(c)に示すように、正極昇圧用スイッチ43, 44, 45がオフとなった後、再びタイミング信号 ϕ_1 によって充電用スイッチ39, 40, 41, 42がオンとなり、転送容量37, 38はそれぞれ電圧 V_{DD} に充電される。

【0063】このとき、正極蓄積容量32及び供給電源30が接地端子34と正極出力端子33との間に直列接続されているので、正極出力端子33は電圧 $3V_{DD}$ を出力する。

【0064】そして、図4(d)に示すように、充電用スイッチ39, 40, 41, 42がオフとなった後、タイミング信号 ϕ_3 によって負極昇圧用スイッチ46, 47, 48がオンとなり、転送容量37, 38が接地端子34と負極出力端子36との間に直列接続されて、負極出力端子36は出力電圧 $-2V_{DD}$ を出力するとともに、負極蓄積容量35は電圧 $-2V_{DD}$ に充電される。

【0065】このときも、正極出力端子33は、供給電源30及び正極用蓄積容量32によって、出力電圧 $3V_{DD}$ を出力している。しかし、図4(a), (c)及び

(d)に示す接続状態においては、正極出力端子33に接続される外部負荷によって、正極用蓄積容量32の電圧が変化し、従って出力電圧が変動する場合があります。

【0066】しかし、正極用蓄積容量32の電圧が変化したとしても、図4(a), (b)に示すように、次の

サイクルのタイミング信号 ϕ_1 によって再び電源電圧 V_{DD} に充電された転送容量37, 38が、タイミング信号 ϕ_2 によって正極用蓄積容量32を電圧 $2V_{DD}$ に充電して正極出力端子33の出力電圧を電圧 $3V_{DD}$ に回復する。そしてこの間、正極出力端子33の出力電圧の変動が、負極出力端子36の出力電圧の変動を引き起こすことはない。

【0067】同様に、図4(a), (b), (c)に示す回路の接続状態において、負極出力端子36の出力電圧が変動したとしても、図4(d)に示すように、電源電圧 V_{DD} に充電された転送容量17, 18によって再び出力電圧は電圧 $-2V_{DD}$ となり、この間、負極出力端子36の出力電圧の変動が、正極出力電圧33の出力電圧の変動を引き起こすことはない。

【0068】さらに、以上説明したように本実施例の昇圧回路においては、正極出力端子33からは出力電圧 $3V_{DD}$ を、負極出力端子からは出力電圧 $-2V_{DD}$ をそれぞれ出力しており、即ち正負両出力端子から、絶対値の異なる正及び負の電圧を出力することが可能となっている。

【0069】図5は、本発明の第3の実施例である昇圧回路の回路図である。

【0070】本実施例においては、3個の転送容量57, 58, 59を用いることにより、供給電源50と転送容量57, 58とによって正極出力端子53から電圧 $+3V_{DD}$ を出力し、負極出力端子56からは、スイッチSによる切り替えに応じて、転送容量57, 58により電圧 $-2V_{DD}$ 又は転送容量57, 58, 59により電圧 $-3V_{DD}$ を出力することができる。回路の詳細な動作については、第1, 2の実施例と同様である。

【0071】本実施例の昇圧回路においては、正極出力端子53の出力電圧と、負極出力端子56の電圧として、異なる大きさの正及び負の電圧を得ることができ、かつ、両出力端子53, 56の外部負荷による電圧変動が互に他方の電圧変動を引き起こすことがなく、さらに、出力電圧の絶対値を、昇圧回路の動作中にもスイッチSを動作させて、切り替えることができる。

【0072】(2) 降圧回路

図6及び図7はそれぞれ本発明の第4の実施例である降圧回路の回路図、及び動作を説明するための模式図である。

【0073】図6に示す降圧回路においては、負極端が接地端子84に接続された供給電源80の正極端81が充電用スイッチ89の一端に接続され、充電用スイッチ89の他端は正極降圧用スイッチ92の一端、他端が接地端子84に接続された負極降圧用スイッチ96の一端、及び転送容量87の一端に接続されており、正極降圧用スイッチ92の他端は正極出力端子83、他端が接地端子84に接続された正極用蓄積容量82の一端、正極降圧用スイッチ94の一端にそれぞれ接続され、転送

容量87の他端は充電用スイッチ90の一端、他端が接地端子84に接続された正極降圧用スイッチ93の一端、負極降圧用スイッチ97の一端にそれぞれ接続されている。そして、充電用スイッチ90の他端は正極降圧用スイッチ94の他端、転送容量88の一端、及び他端が接地端子84に接続された負極降圧用スイッチ98の一端に接続され、負極降圧用スイッチ97の他端は負極降圧用スイッチ99の一端、負極出力端子86、及び他端が接地端子84に接続された負極用蓄積容量85の一端に接続されている。さらに、負極降圧用スイッチ99の他端は転送容量88の他端、他端が接地端子84に接続された正極降圧用スイッチ95の一端、及び他端が接地端子84に接続された充電用スイッチ91の一端にそれぞれ接続されている。

【0074】次に動作について説明する。

【0075】本実施例の降圧回路においては、充電用スイッチ89、90、91及び正極降圧用スイッチ92、93、94、95及び負極降圧用スイッチ96、97、98、99はそれぞれ、タイミング信号 ϕ_1 及び ϕ_2 及び ϕ_3 がハイレベルである期間にオンとなり、かつタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 は時間的に重なり合うことなく、 ϕ_1 、 ϕ_2 、 ϕ_1 、 ϕ_3 の順序でハイレベルとなり、これを1サイクルとして以下同じ動作を繰り返す。

【0076】図7(a)、(b)、(c)、(d)はそれぞれタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_1 、 ϕ_3 によってスイッチが動作したときの各回路素子の接続状態を示している。

【0077】まず、図7(a)に示すように、正極降圧用スイッチ92、93、94、95及び負極降圧用スイッチ96、97、98、99がオフとなっている状態で、タイミング信号 ϕ_1 によって充電用スイッチ89、90、91がオンとなり、転送容量87、88は供給電源80の正極端81と接地端子84との間に直列接続される。このとき、転送容量87及び88の容量値は互いに等しいものとしてあるので、転送容量87、88は共に、供給電源電圧 V_{DD} の2分の1である電圧 $1/(2V_{DD})$ に充電される。

【0078】そして、図7(b)に示すように充電用スイッチ89、90、91がオフとなった後、タイミング信号 ϕ_2 によって正極降圧用スイッチ92、93、94、95がオンとなり、転送容量87、88は正極用蓄積容量82の一端と接地端子84との間に並列に接続され、正極用蓄積容量82を電圧 $1/(2V_{DD})$ に充電するとともに、正極出力端子83は電圧 $1/(2V_{DD})$ を出力する。

【0079】次に、図7(c)に示すように、正極降圧用スイッチ92、93、94、95がオフとなった後、再びタイミング信号 ϕ_1 によって充電用スイッチ89、90、91がオンとなり、転送容量87、88は共に電圧 $1/(2V_{DD})$ に充電される。

【0080】このとき、正極用蓄積容量82が接地端子84と正極出力端子83の間に接続されているので、正極出力端子83は電圧 $1/(2V_{DD})$ を出力する。

【0081】そして、図7(d)に示すように、充電用スイッチ89、90、91がオフとなった後、タイミング信号 ϕ_3 によって負極降圧用スイッチ96、97、98、99がオンとなり、転送容量87、88は負極用蓄積容量85の一端と接地端子84との間に並列に接続され、負極用蓄積容量85を電圧 $-1/(2V_{DD})$ に充電するとともに、負極出力端子86は電圧 $-1/(2V_{DD})$ を出力する。

【0082】このときも、正極用蓄積容量82の充電電圧によって、正極出力端子83は電圧 $1/(2V_{DD})$ を出力しているが、図7(a)、(c)、(d)に示す接続状態においては、正極出力端子83に接続される外部負荷によっては、正極用蓄積容量82の電圧が変化し、従って正極出力端子83の出力電圧が変動する場合があり得る。

【0083】しかし、正極用蓄積容量82の電圧が変化したとしても、図7(a)、(b)に示すように、次のサイクルのタイミング信号 ϕ_1 によって電圧 $1/(2V_{DD})$ に充電された転送容量87及び88が、タイミング信号 ϕ_2 によって、再び正極用蓄積容量82を電圧 $1/(2V_{DD})$ に充電して正極出力端子83の出力電圧を電圧 $1/(2V_{DD})$ に回復する。そしてこの間、正極出力端子83の出力電圧の変動が、負極出力端子86の出力電圧の変動を引き起こすことはない。

【0084】同様に、図7(a)、(b)、(c)に示す回路の接続状態において、負極出力端子86の出力電圧が変動したとしても、図7(d)に示すように、電圧 $1/(2V_{DD})$ に充電された転送容量がタイミング信号 ϕ_3 によって再び負極出力端子86の出力電圧を $-1/(2V_{DD})$ とし、かつこの間負極出力端子86の出力電圧の変動が、正極出力端子83の出力電圧の変動を引き起こすことはない。

【0085】2. 多相クロック発生回路図8、及び図9はそれぞれ本発明の第5の実施例である3相クロック発生回路の回路図、及び動作を示すタイミングチャートである。

【0086】図8に示す3相クロック発生回路は、フリップフロップ型CMOSレベルシフト回路101、バッファ103、及びパルス選択回路Pとから構成される。

【0087】CMOSレベルシフト回路101においては、クロック入力端子100がソースが接地端子111に接続されたNchトランジスタ114のゲート、及びインバータ112の入力端に、インバータ112の出力端がソースが接地端子111に接続されたNchトランジスタ113のゲートに接続されている。そして、Nchトランジスタ113のドレインが出力端117、及びソースが共通に電源端子110に接続されたPchトラ

ンジスタ115及び116のドレイン及びゲートにそれぞれ接続され、Nchトランジスタ114のドレインが、出力端118、及びPchトランジスタ115及び116のゲート及びドレインにそれぞれ接続されている。また、出力端117はバッファ103を介して、出力端子106へ接続される。

【0088】パルス選択回路Pにおいては、D型フリップフロップ回路119のクロック入力端Cが、CMOSレベルシフト回路101の出力端118に接続されている。そして、データ信号入力端Dが反転出力端Qバー、及び2入力AND回路105の一方の入力端に接続され、出力端Qが2入力AND回路104の一方の入力端に接続され、2入力AND回路104、105のそれぞれの他方の入力端は共通に接続されて、クロック入力端Cに接続されている。また、2入力AND回路104、105の出力端はそれぞれ出力端子107、108へ接続されている。

【0089】なお、D型フリップフロップ回路119は、反転出力端Qバーとデータ信号入力端Dとが接続されることによって、2分の1分周回路102を形成している。

【0090】次に動作について説明する。

【0091】図9は、本実施例において、クロック入力端100に入力される入力クロック信号CLKと、CMOSレベルシフト回路101の出力端117、118の出力信号C1、C2と、D型フリップフロップ回路119の出力端Q、反転出力端Qバーの出力信号Q、Qバーと、出力端子106、107、108の出力信号 ϕ_1 、 ϕ_2 、 ϕ_3 のそれぞれの時間変化を示すタイミングチャートである。

【0092】図9に示すように、入力クロック信号CLKがローレベルのとき、Nchトランジスタ113、114はそれぞれ、オン、オフの状態となっており、出力信号C1及びC2はそれぞれローレベル及びハイレベルである。入力クロック信号CLKがハイレベルに変化すると、Nchトランジスタ113、114はそれぞれオフ、オンの状態へと変化し、出力信号C2はローレベルとなる。出力信号C2はPchトランジスタ115のゲートに印加されているので、出力信号C2がローレベルになるとNchトランジスタ114のオン抵抗及びPchトランジスタ115のゲート容量とによって定まる一定の遅延時間の後、Pchトランジスタ115はオンとなり、出力信号C1はハイレベルとなる。

【0093】次に、図9に示すように、入力クロック信号CLKがローレベルに変化すると、Nchトランジスタ113、114はそれぞれオン、オフの状態へと変化し、出力信号C1はローレベルとなる。出力信号C1はPchトランジスタ116のゲートに印加されているので、出力信号C1がローレベルになるとNchトランジスタ113のオン抵抗及びPchトランジスタ116の

ゲート容量とによって定まる一定の遅延時間の後、Pchトランジスタ116はオンとなり、出力信号C2はハイレベルとなる。

【0094】従って、出力信号C1、C2は、図9に示すように、時間的に重ならない2相クロック信号となる。

【0095】この場合において、Nchトランジスタ113、114の電流駆動能力は、動作時において出力端117、118の出力信号C1、C2を確実に反転させることができるように、Pchトランジスタ115、116の電流駆動能力よりも大きく設定されている。即ち、たとえば、入力クロック信号CLKがローレベルからハイレベルへと変化し、Nchトランジスタ114がオン状態に変化し、Pchトランジスタ116がいまだオンの状態にある遅延時間内においては、出力信号C2をローレベルへと反転させるために、Nchトランジスタ114はPchトランジスタ116のドレイン電流よりも多くの電流を流さなければならない。入力クロック信号の振幅が5ボルトで電源端子110の電圧 V_{DD} が10ボルトとすると、Nchトランジスタ114のゲート電圧は、このとき、5ボルトであり、Pchトランジスタ116のゲート電圧はその2倍の大きさの10ボルトである。従って、MOSトランジスタの電流駆動能力は、ゲート電圧の2乗に比例するから、Nchトランジスタ114のゲート幅とゲート長との比の値が、Pchトランジスタ116のゲート幅とゲート長との比の値の4倍以上になるように設定されている。なお、一般に電子の移動度は正孔の移動度よりも大きいので、実際にはNchトランジスタ114の（ゲート幅）／（ゲート長）の値がPchトランジスタ116にくらべて4倍の大きさであればよい。

【0096】次に、出力信号C1はバッファ103を介して、出力信号 ϕ_1 として、出力端子106から出力され、出力信号C2は2分の1分周回路102のクロック入力端Cに入力される。これにより、出力端Qからは、図9に示すように、出力信号C2がハイレベルとなる毎に反転する出力信号Qが、反転出力端Qバーからは、図9に示すように出力信号Qと逆相の出力信号Qバーが、それぞれ出力される。これらの出力信号Q、Qバーはそれぞれ2入力AND回路104、105によって、出力信号C2との論理積がとられて、出力端子107、108から出力信号 ϕ_2 、 ϕ_3 として出力される。

【0097】従って、出力端子106、107、108から、図9に示すように、時間的に重なり合うことのない3相のクロック信号 ϕ_1 、 ϕ_2 、 ϕ_3 が出力される。これらの出力クロック信号は時間的に ϕ_1 、 ϕ_2 、 ϕ_3 の順でハイレベルとなり、以下これを1サイクルとして、くり返し動作する。

【0098】本実施例においては、大きな素子面積を必要とするフリップフロップによる2分の1分周回路を1

個しか用いていないので、回路全体の占有面積が小さなものとなり、容易に集積化することができる。また、本実施例においては、CMOSレベルシフト回路のゲート遅延時間を利用することによって、重なりのない2相クロックを発生しており、最初に入力する入力クロック信号の周波数は、出力信号の周波数に比べて、十分大きなものである必要がない。即ち、図9に示すように、入力クロック信号CLKの周波数は、出力信号 ϕ_1 、

ϕ_2 、 ϕ_3 の3相クロックとしての周波数の2倍でよく、入力クロック信号を発生する発振回路(図示せず)が容易に構成できる。さらに、高い周波数を必要としなくなるので、回路内においてMOSトランジスタを通して電源から接地端子へと流れる貫通電流が少なくなり、消費電力が小さなものになっている。

【0099】なお、本実施例においては3相クロック発生回路について説明したが、4相以上の多相クロック発生回路も、同様にして構成できる。即ち、本実施例の3相クロック発生回路の出力端子の1つに、新たにパルス選択回路を接続することによって、その出力端子の出力信号の2分の1の周波数を持ち、互いに重なり合わない2つのクロック信号が得られ、全体として4相クロック発生回路として動作することになる。このようにして、パルス発生回路の付加によって、多相クロック発生回路を構成することができ、新たにパルス選択回路を付加する出力端子の選び方によって、出力信号全体の多相クロックとしての構成を決定することができる。即ち、たとえば本実施例の3相クロック発生回路の出力端子108に新たなパルス選択回路を付加し、そのパルス選択回路の出力信号を ϕ_4 、 ϕ_5 とすれば、この4相クロック発生回路の出力信号 ϕ_1 、 ϕ_2 、 ϕ_4 、 ϕ_5 は、時間的に重なり合うことなく、 ϕ_1 、 ϕ_2 、 ϕ_1 、 ϕ_4 、 ϕ_1 、 ϕ_2 、 ϕ_1 、 ϕ_5 の順でハイレベルとなり、以下これを1サイクルとして、くり返し出力することとなる。図10、11、及び12は、それぞれ本発明の第6の実施例である、3相クロック発生回路を備えた昇圧回路の回路図、その3相クロック発生回路の回路図、及びその3相クロック発生回路の動作を示すタイミングチャートである。

【0100】図10に示す昇圧回路は、図1に示す昇圧回路において用いられている各スイッチをCMOSトランジスタにより構成した昇圧回路であり、図1の昇圧回路における正極昇圧用スイッチ23、24を正極昇圧用Pchトランジスタ133、134により、負極昇圧用スイッチ25、26、27を負極昇圧用Nchトランジスタ135、136、137により、充電用スイッチ19、20を充電用Pchトランジスタ129、130により、そして充電用スイッチ21、22を充電用Nchトランジスタ131、132により、それぞれ構成している。そして各NまたはPchトランジスタのゲートには、図10に示すように、3相クロック発生回路139

からタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 またはその反転信号が入力されている。

【0101】本実施例の昇圧回路においては、高電位の電源端子121または正極出力端子123に接続されるスイッチとしてはPchトランジスタ、低電位の接地端子124または負極出力端子126に接続されるスイッチとしては、Nchトランジスタを用いているので、それぞれのゲート電圧を十分な大きさに印加して、各トランジスタのオン抵抗を小さくすることができるので、昇圧効率を高くするとともに、損失を低減して消費電力を小さくすることができる。

【0102】なお、3相クロック発生回路139は、その出力であるタイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 によってPch及びNchトランジスタをスイッチングする必要があるため、タイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 が正及び負の電圧の間で十分な振幅をもって振動するよう、電源電圧として、電圧 $+2V_{DD}$ と $-2V_{DD}$ とが入力されている。

【0103】図11は、図10に示されている3相クロック発生回路139の回路図である。

【0104】クロック入力端子150には、電圧0Vから $+5V$ までの振幅を持つクロック信号CLKが入力され、クロック信号CLKは、Pchトランジスタ165とNchトランジスタ166とから構成されるインバータ164で反転される。クロック信号CLKとその反転信号とは、Pchトランジスタ168、169とNchトランジスタ170、171とから構成される第1のレベルシフト回路167に入力され、電圧 $-10V$ から $+5V$ までの振幅を持つクロック信号にそれぞれ変換される。なお、本実施例においては、電圧 V_{DD} を、電圧 $+5V$ に設定してある。この変換されたクロック信号は、Nchトランジスタ173、174とPchトランジスタ175、176とから構成される第2のレベルシフト回路172に入力され、電圧 $-10V$ から $+10V$ までの振幅を持つクロック信号にそれぞれ変換され、インバータ153、159に入力される。

【0105】そして、インバータ153の出力信号C1は、出力信号 ϕ_1 として出力端子156から出力され、インバータ159の出力信号C2は、パルス選択回路Pに入力されて、出力信号 ϕ_2 、 ϕ_3 として、それぞれ出力端子159、158から出力される。

【0106】入力クロック信号CLK、出力信号 ϕ_1 、 ϕ_2 、 ϕ_3 の時間的変化を示すタイミングチャートを図12に示す。本実施例の3相クロック発生回路は、図8に示す3相クロック発生回路において用いられているCMOSレベルシフト回路101を2段直列接続した構成のCMOSレベルシフト回路151を用いることによって、電圧 $-2V_{DD}$ から $+2V_{DD}$ までの振幅を持つ出力信号を得ており、これにより、図10に示すCMOSトランジスタ構成の昇圧回路を動作させることが可能となっ

ている。

【0107】

【発明の効果】以上説明したように本発明の電圧変換回路においては、まず、昇圧回路は、3相クロック信号によって開閉するスイッチを用いて正極電圧と負極電圧を独立に発生させるので、一方の出力端子に接続される負荷条件によって出力電圧が変動しても、他方の出力端子は安定した出力電圧を保つことができ、昇圧回路及び、この昇圧回路を電源回路等として用いる装置全体の信頼度を、向上させることができる。

【0108】また、本発明の昇圧回路は、キャパシタの個数や、スイッチの接続位置の設定により、絶対値及び極性の異なる多様な出力電圧値が得られる。例えば $\pm 2V_{DD}$ 、 $\pm 3V_{DD}$ あるいは正極に $+3V_{DD}$ 、負極に $-2V_{DD}$ 等の電圧の出力が可能である。次に降圧回路は3相で開閉するスイッチを用いているので、従来の降圧回路では得られなかった負極電圧の出力も可能である。また本発明の昇圧回路と同様、一方の出力端子に接続される負荷条件によって出力電圧が変動しても、他方の出力端子は安定した出力電圧を保つことができ、降圧回路及びこの降圧回路を用いる装置全体の信頼度を向上させることができるという効果を有する。

【0109】本発明の多相クロック発生回路は、初段において重なりが無い2相クロックを発生させるために、大きな素子面積を要するフリップフロップ回路を用いず、CMOSレベルシフト回路を用いた2相クロック発生回路を用いているため、素子数が減りチップ面積を小さくできるという効果を有する。また、2分の1分周回路により入力クロック信号を分周していないので、入力クロック信号の周波数を低く設定できるため、貫通電流を少なくでき低消費電力化が可能であるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例である昇圧回路の回路図。

【図2】本発明の第1の実施例である昇圧回路の動作を示す模式図。

【図3】本発明の第2の実施例である昇圧回路の回路図。

【図4】本発明の第2の実施例である昇圧回路の動作を示す模式図。

【図5】本発明の第3の実施例である昇圧回路の回路図。

【図6】本発明の第4の実施例である降圧回路の回路図。

【図7】本発明の第4の実施例である降圧回路の動作を示す模式図。

【図8】本発明の第5の実施例である3相クロック発生回路の回路図。

【図9】本発明の第5の実施例である3相クロック発生回路の動作を示すタイミングチャート。

【図10】本発明の第6の実施例である、3相クロック発生回路を用いた昇圧回路の回路図。

【図11】本発明の第6の実施例で用いられる3相クロック発生回路の回路図。

【図12】本発明の第6の実施例で用いられる3相クロック発生回路の動作を示すタイミングチャート。

【図13】従来の昇圧回路の回路図。

【図14】従来の昇圧回路の動作を示す模式図。

【図15】従来の降圧回路の回路図。

【図16】従来の降圧回路の動作を示す模式図。

【図17】従来の3相クロック発生回路の回路図。

【図18】従来の3相クロック発生回路の動作を示すタイミングチャート。

【符号の説明】

17, 18 転送容量

23, 24 正極昇圧用スイッチ

25, 26, 27 負極昇圧用スイッチ

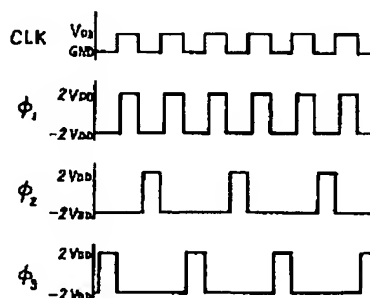
87, 88 転送容量

92, 93, 94, 95 正極降圧用スイッチ

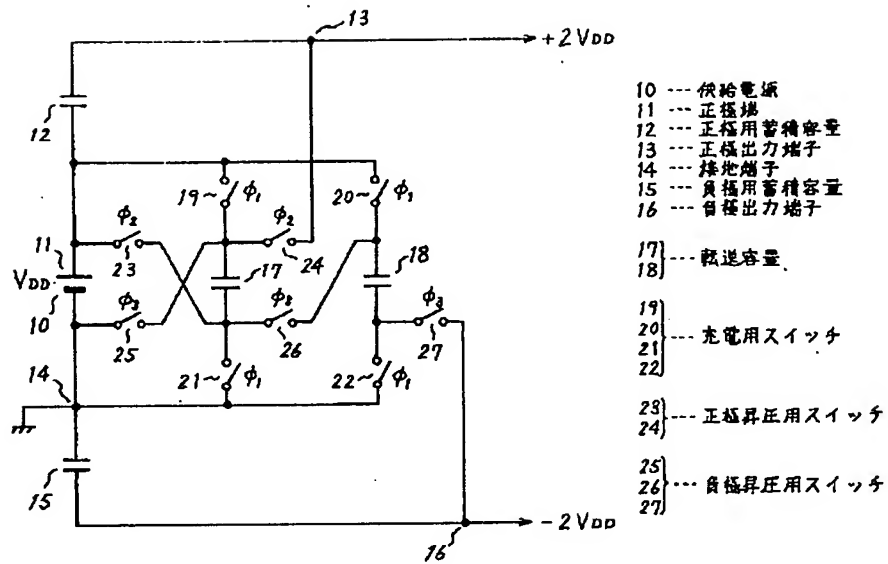
96, 97, 98, 99 負極降圧用スイッチ

101 フリップフロップ型CMOSレベルシフト回路

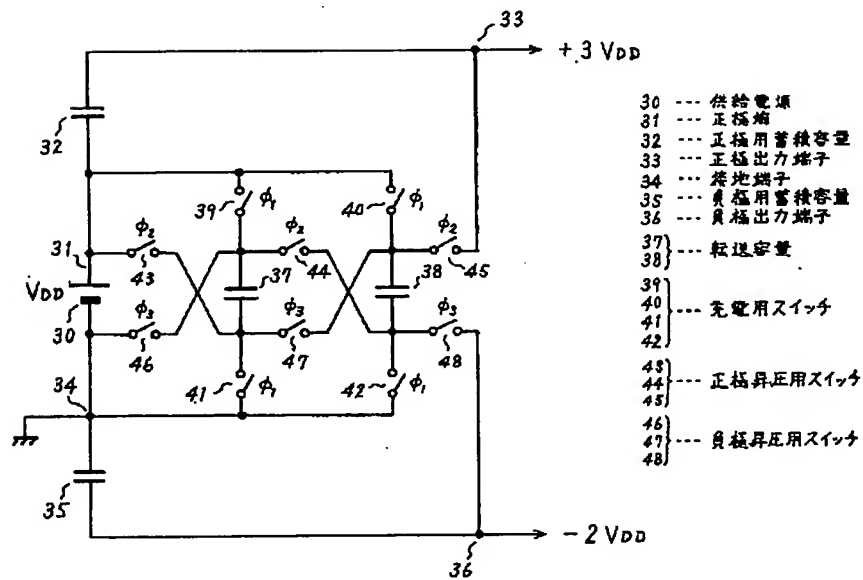
【図12】



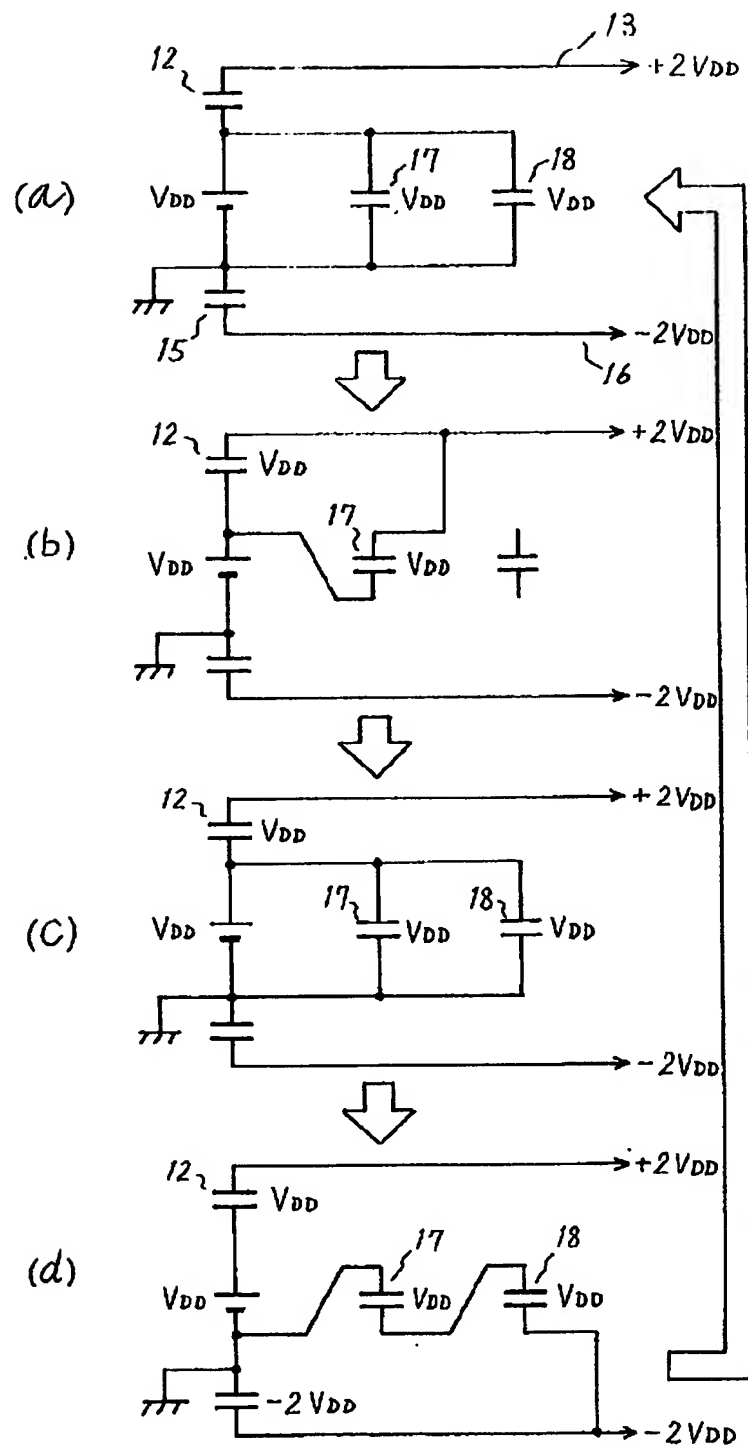
【図1】



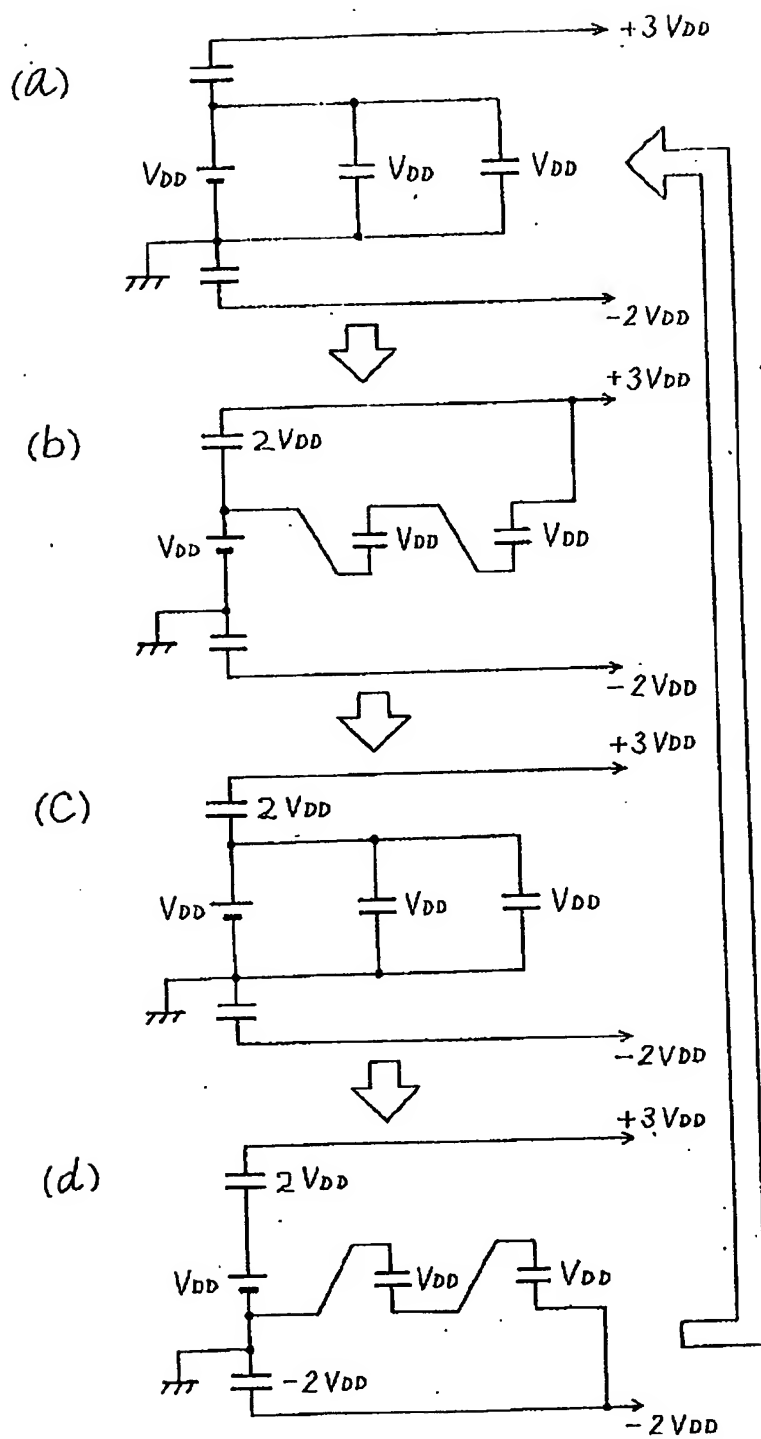
【図3】



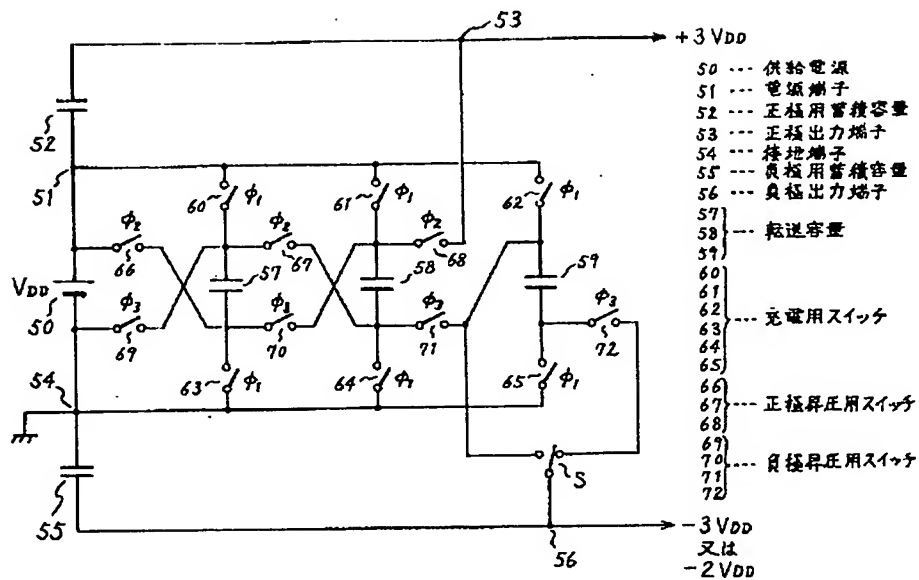
【图2】



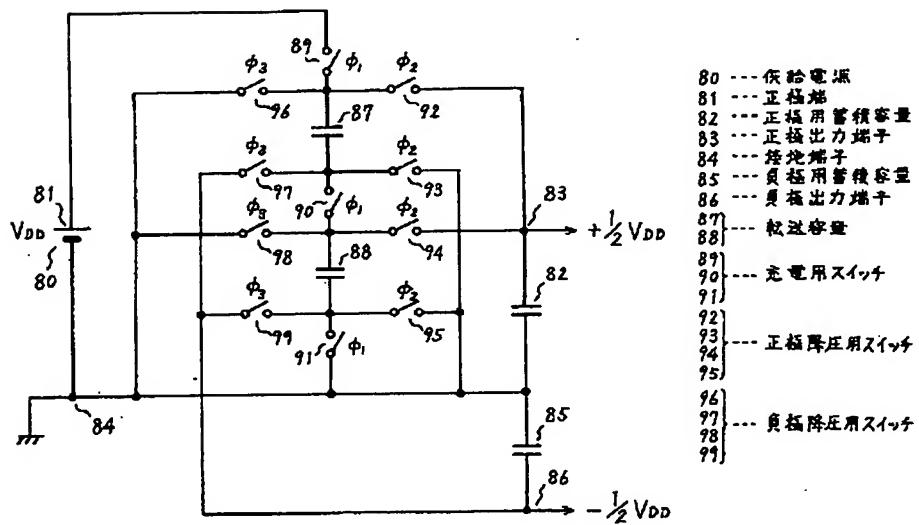
【图4】



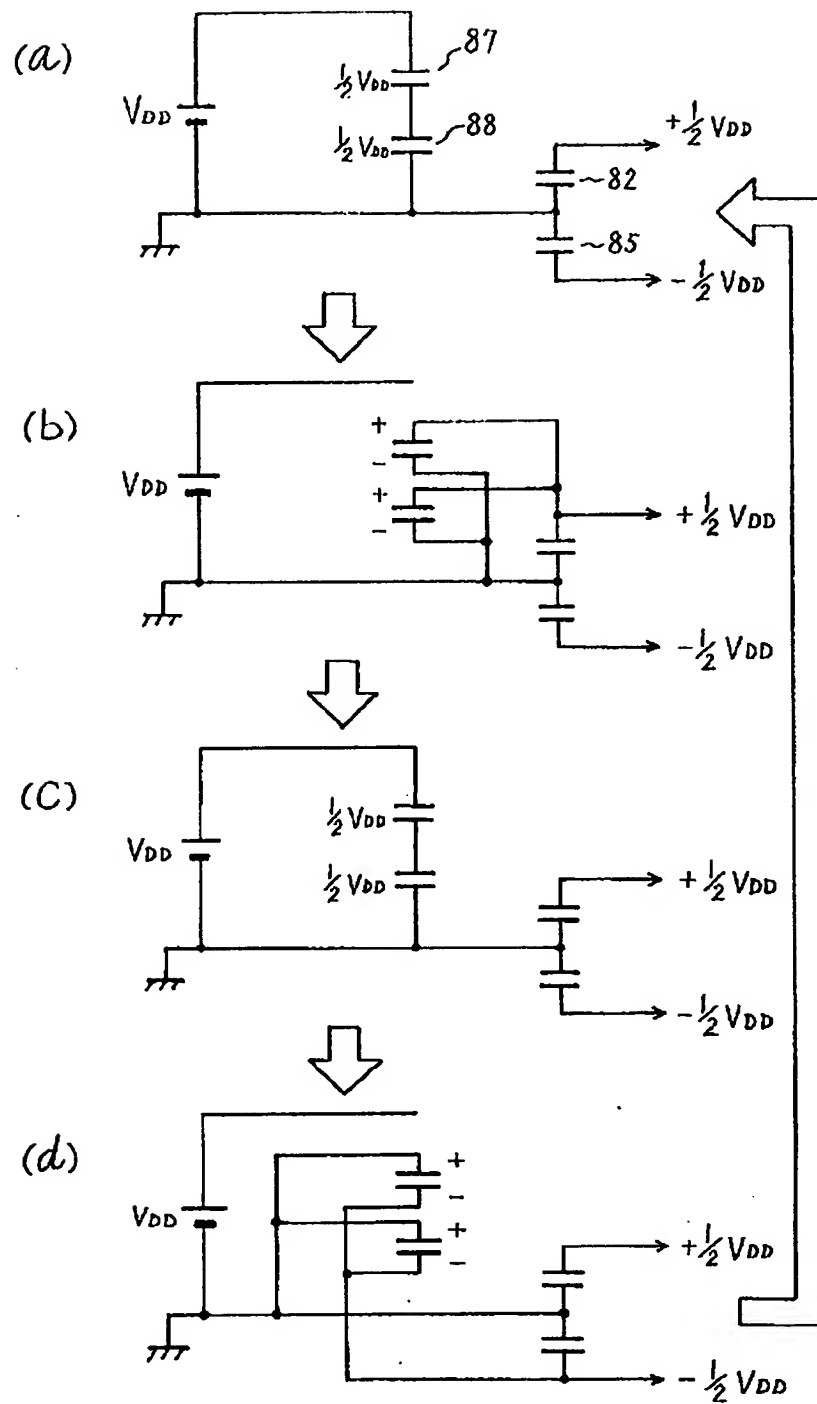
【図5】



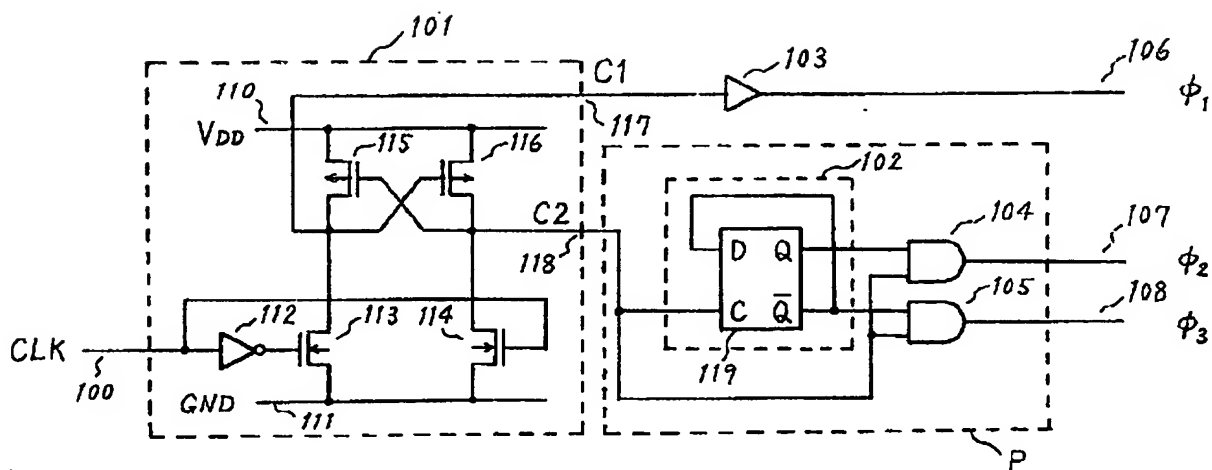
【図6】



【图 7】



【図8】



100 --- クロック入力端子
 101 --- CMOSレベルシフト回路
 102 --- 2分の1分周回路
 103 --- バッファ

104} --- 2入力AND回路
 105}

106} --- 出力端子
 107}
 108}

110 --- 電源端子
 111 --- 接地端子
 112 --- インバータ

113} --- Nchトランジスタ
 114}

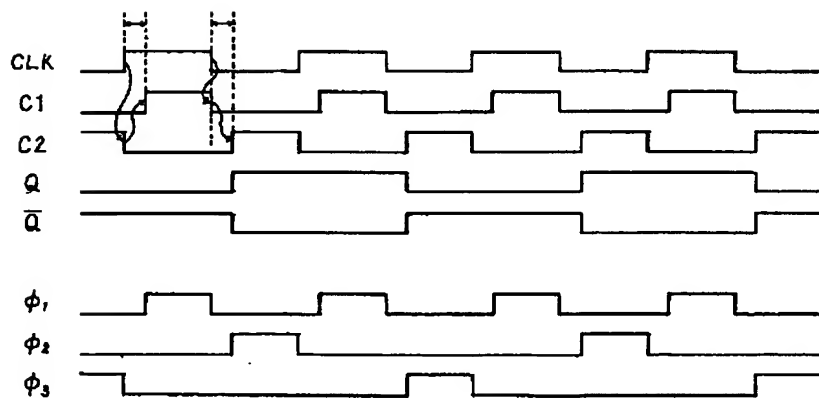
115} --- Pchトランジスタ
 116}

117} --- 出力端
 118}

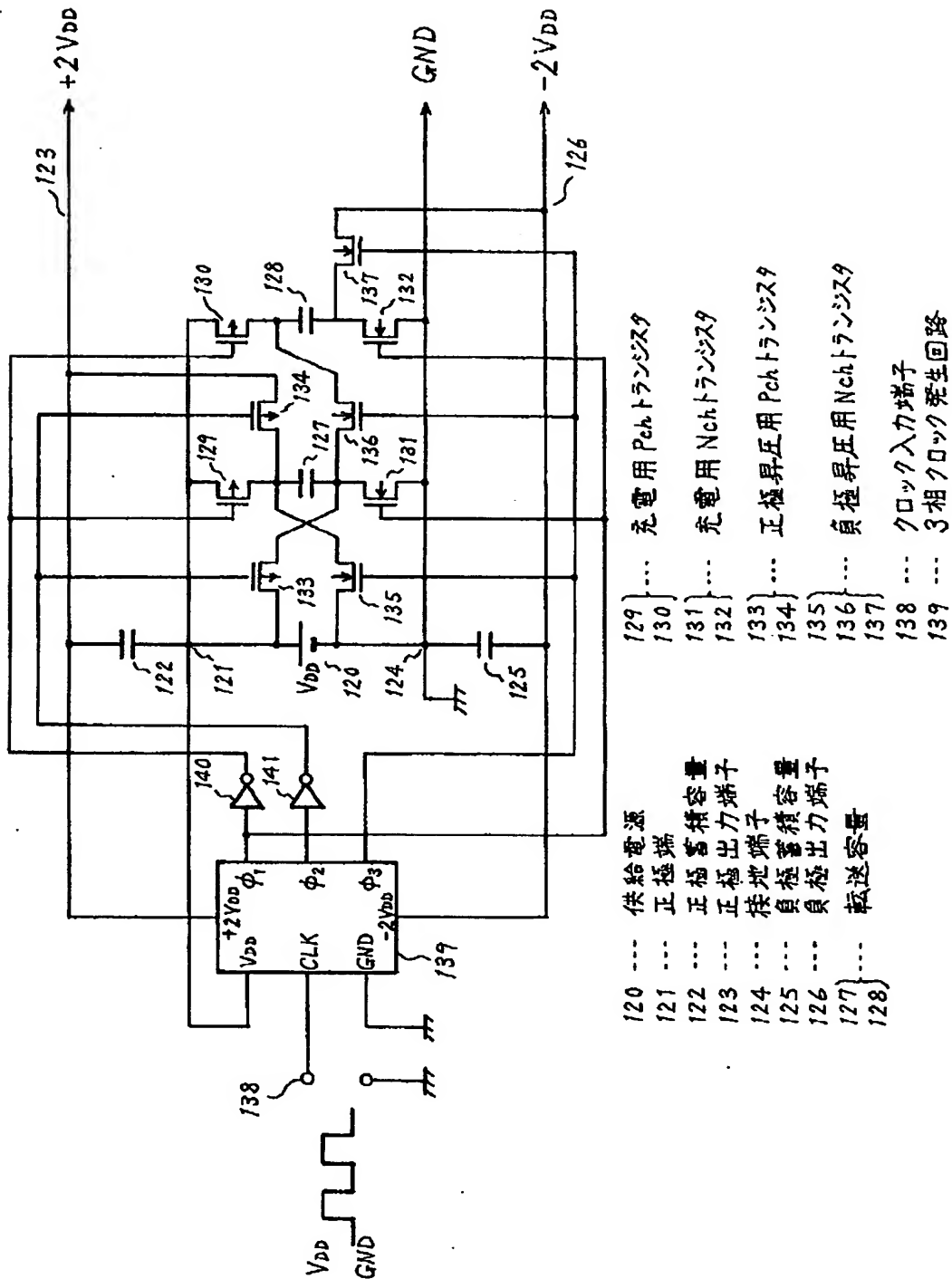
119 --- D型フリップフロップ回路

P --- パルス選択回路

【図9】

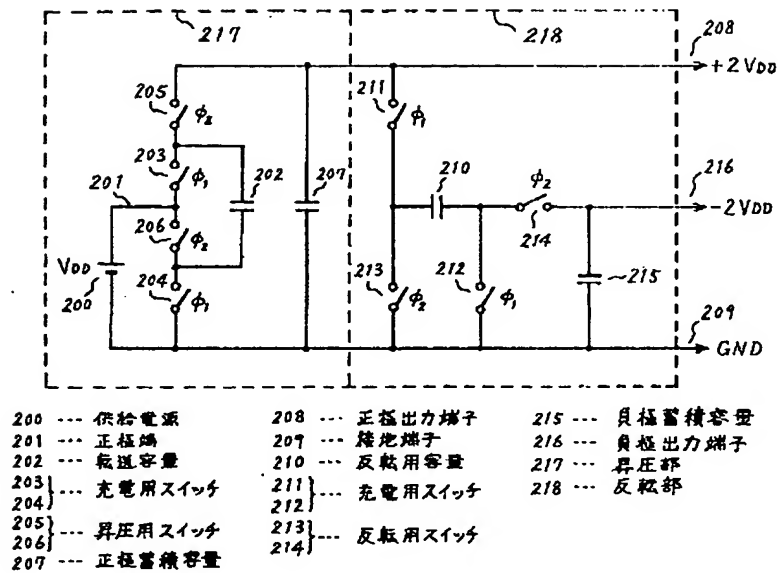


【図10】

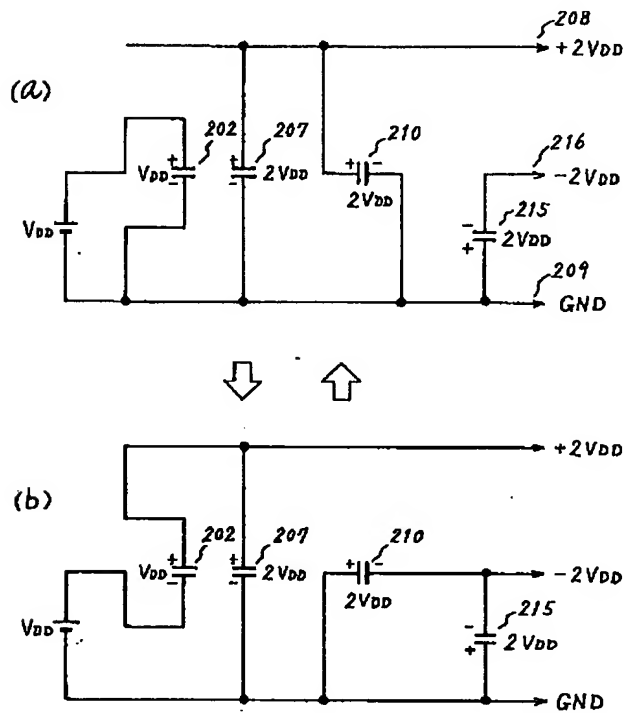


150 --- クロック入力端子	159 --- インバータ	168 } --- Pchトランジスタ
151 --- CMOSレベルシフト回路	160 --- VDD端子	169 }
152 --- 2分の1分周回路	161 --- GND端子	170 } --- Nchトランジスタ
153 --- インバータ	162 --- +2VDD端子	171 }
154 } --- 2入力AND回路	163 --- -2VDD端子	172 ... 第2のレベルシフト回路
155 }	164 --- インバータ	173 } --- Nchトランジスタ
156 --- ϕ_1 出力端子	165 --- Pchトランジスタ	174 }
157 --- ϕ_2 出力端子	166 --- Nchトランジスタ	175 } --- Pchトランジスタ
158 --- ϕ_3 出力端子	167 --- 第1のレベルシフト回路	176 }

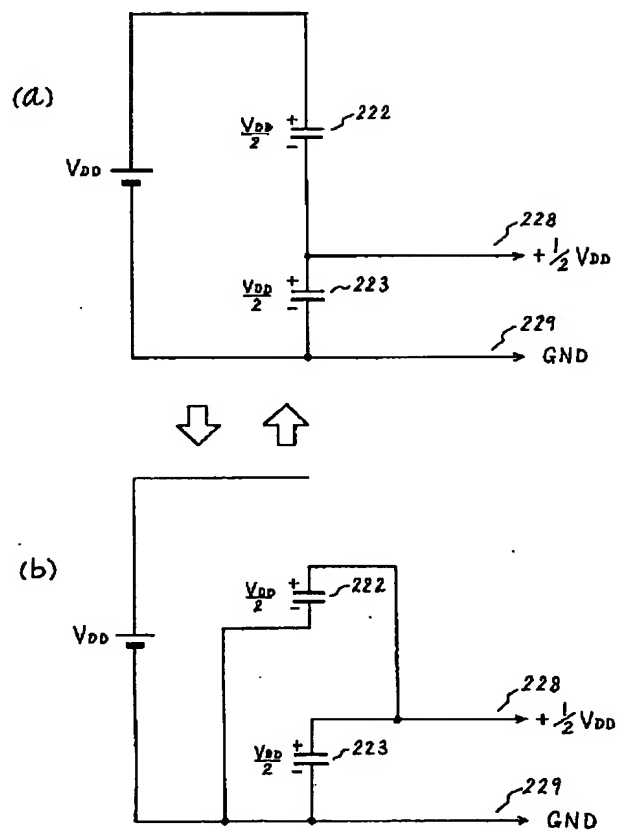
【図13】



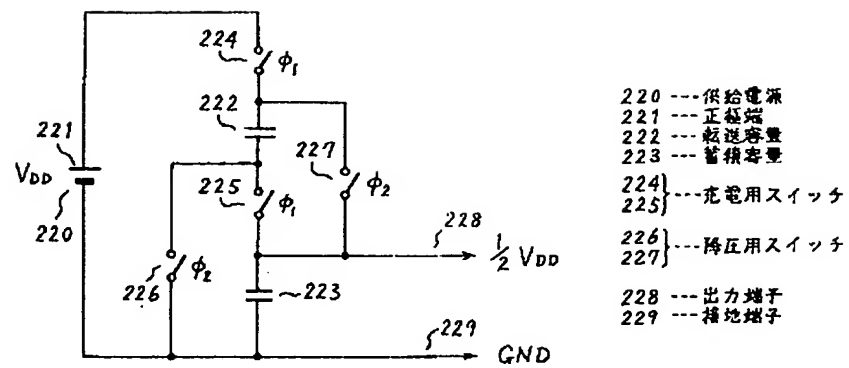
【図14】



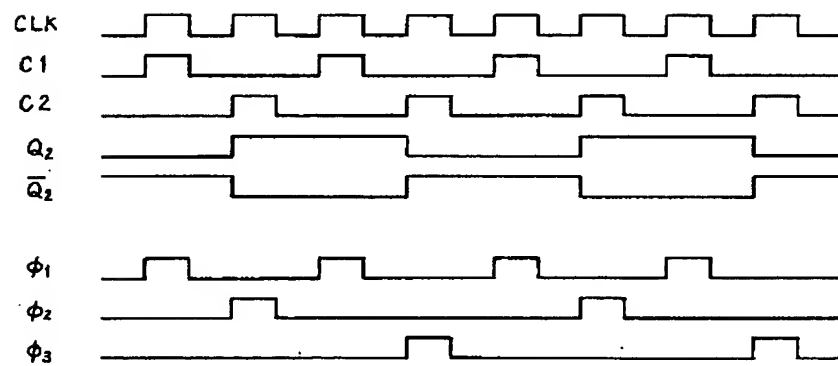
【図16】



【図15】



【図18】



【図17】

